

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010111743 A
(43)Date of publication of application: 20.12.2001

(21)Application number: 1020000032391
(22)Date of filing: 13.06.2000
(30)Priority: ..

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: HA, TAE HONG
LIM, HUN

(51)Int. Cl. H01L 21/316

(54) METHOD FOR FORMING DUAL GATE OXIDES

(57) Abstract:

PURPOSE: A dual gate oxide formation method is provided to prevent a groove formation in a cell region and to improve a quality of the gate oxide by using dual gate oxides having different thickness. CONSTITUTION: After forming a trench(T) in a cell region(C) and a peripheral region(P) of a substrate(200), an isolation layer(205) is filled into the trench(T) so that a first and a second active regions(210a,210b) are defined. A first gate oxide(215) is formed on the active regions. After forming a first gate conductive layer on the resultant structure, an opening window is formed to expose the second active region(210b). After cleaning the exposed second active region(210b), a second gate oxide(235) having thick thickness compared to the first gate oxide(210a) is then formed by thermal oxidation. Then, a second conductive layer is filled into the opening window. After planarizing the second conductive layer using a CMP(Chemical Mechanical Polishing), a first and a second gate electrodes(220,240) are formed by selectively etching the first and second conductive layers.

copyright KIPO 2002

Legal Status

Date of request for an examination (20050221)
Notification date of refusal decision ()
Final disposal of an application (registration)
Date of final disposal of an application (20060614)
Patent registration number (1006048060000)
Date of registration (20060719)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. ⁷
H01L 21/316

(11) 공개번호 특2001 -0111743

(43) 공개일자 2001년12월20일

(21) 출원번호 10 -2000 -0032391
(22) 출원일자 2000년06월13일

(71) 출원인 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 하태홍
경기도수원시팔달구우만동주공아파트201동1002호
임훈
서울특별시서대문구영천동77번지

(74) 대리인 이영필
정상빈
이래호

심사청구 : 없음

(54) 듀얼 게이트 산화막 형성방법

요약

본 발명은 듀얼 게이트 산화막 형성방법에 대한 것이다. 본 발명에 따른 듀얼 게이트 산화막 형성방법은 반도체 기판에 소자분리막을 형성하여 제1 및 제2활성영역을 정의하는 단계, 상기 제1 및 제2활성영역 상에 제1게이트 산화막을 형성하는 단계, 상기 제1게이트 산화막이 형성되어 있는 반도체 기판 전면에 제1게이트 도전막을 형성하는 단계, 상기 제1게이트 도전막 상에 질화막으로 된 CMP 정지막을 형성하는 단계, 상기 제2활성영역 상에 형성된 제1게이트 산화막, 그 위의 제1게이트 도전막 및 CMP 정지막을 제거하여 상기 제2활성영역을 노출시키는 개구를 형성하는 단계, 상기 노출된 제2활성영역 상에 상기 제1게이트 산화막과는 다른 두께로 제2게이트 산화막을 형성하는 단계, 상기 반도체 기판의 전면에 제2게이트 도전막을 형성하여 상기 개구의 내부를 매립하는 단계, 및 상기 CMP 정지막의 상면이 노출될 때까지 화학 기계적 연마 방법으로 상기 제2게이트 도전막을 제거하는 단계를 포함한다.

도면도

도 5

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래기술에 따른 듀얼 게이트 산화막 형성방법의 문제점을 도시한 공정 단면도들이다.

도 2 내지 도 5은 본 발명에 따른 듀얼 게이트 산화막 형성방법의 실시예를 도시한 공정 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 대한 것으로서, 상세하게는 서로 다른 두께로 게이트 산화막을 형성하는 듀얼 게이트 산화막 형성방법에 대한 것이다.

반도체 소자의 제조에 있어서, 반도체 기판 상에 집적되는 트랜지스터의 게이트 산화막 두께를 기판 영역에 따라 달리 형성해야 할 경우가 있다. 예를 들어, 반도체 소자의 주변영역에 형성되는 입출력 회로와 셀 영역에 형성되는 내부회로의 전원전압이 다를 경우에는, 통상 반도체 소자 내에 입출력 회로와 내부회로 사이의 전원전압을 완충하는 회로가 필요하게 된다. 이러한 완충회로는 일반적으로 내부 전압 변환자(IVC: Internal Voltage Converter)라고 불리우며, 공정 상으로는 완충회로가 구현되는 부분(통상, 주변영역에 있음)에서 게이트 산화막을 형성할 때, 내부회로가 구현되는 셀 영역의 게이트 산화막과 그 두께를 달리하여 형성하게 된다. 이처럼, 게이트 산화막을 형성할 때 기판 영역에 따라 그 두께를 달리하는 방법은 본 발명이 속한 기술분야에서 통상 "듀얼 게이트 산화막 형성방법"이라 명명되고 있다.

종래의 듀얼 게이트 산화막 형성방법은 도 1a에 도시된 바와 같이, 먼저 반도체 기판(100) 중에서 내부회로가 구현되는 셀 영역(C)과 IVC와 같은 회로요소가 구현되는 주변영역(P)에 트렌치(T)를 형성하고 그 내부를 산화막으로 매립하여 소자분리막(110)을 형성한다. 상기 소자분리막(110)이 형성되면 제1활성영역(105a) 및 제2활성영역(105b)이 정의된다. 그런 다음, 열산화 방법을 사용하여 제1 및 제2활성영역(105a 및 105b) 상에 제1게이트 산화막(115a 및 115b)을 형성한다. 그리고 나서, 제2활성영역(105b) 상에 형성된 제1게이트 산화막(115b)을 덮는 감광막 패턴(120)을 형성한다.

이어서, 도 1b에 도시된 바와 같이 감광막 패턴(120)을 식각 마스크로 이용하는 습식식각 방법으로 제1활성영역(105a) 상의 제1 게이트 산화막(115a)을 제거하여 제2활성영역(105b)에만 제1게이트 산화막(115b)을 남겨둔다. 이 때, 소자분리막(110)을 구성하는 물질도 같이 제거되므로, 소자분리막(110)의 상면이 밑으로 후퇴되어 리세스될 뿐만 아니라 소자분리막(110)과 제1활성영역(105a)의 경계에는 그로브(G)가 생기게 된다.

계속해서, 도 1c에 도시된 바와 같이 감광막 패턴(도 1b의 120 참조)을 제거한 후 반도체 기판(100) 전면을 세정한다. 그런데, 감광막 패턴의 제거단계에서 제2활성영역(105b) 상의 제1게이트 산화막(115b)은 감광막을 구성하는 유기물에 의한 오염으로부터 보호받지 못하는 상태에 있으므로 감광막 패턴의 제거단계에서 막질이 오염되게 된다. 이에 따라, 제2활성영역(105b) 상의 제1게이트 산화막(115b)의 품질이 저하되는 문제가 야기된다. 물론, 감광막의 제거후 수행하는 세정공정으로 유기물에 의한 제1게이트 산화막(115b)의 오염을 어느 정도 줄여줄 수 있으나, 완전한 제거는 용이하지가 않다. 더구나, 유기물에 의한 제1게이트 산화막(115b)의 오염정도를 완화하기 위해 세정공정을 과도하게 수행하게 되면 제1게이트 산화막(115b)이 과도하게 식각되는 문제가 또 발생하게 된다.

이어서, 열산화 방법으로 제2게이트 산화막(125a 및 125b)을 형성한다. 이 때, 제2게이트 산화막(125b)은 잔류하는 제1게이트 산화막(115b) 하부에서 더 길러지게 된다. 이에 따라, 최종적으로 제1 및 제2활성영역(105a 및 105b)에서 형성되는 게이트 산화막의 두께가 달라지게 된다.

한편, 감광막 패턴(도 1b의 120 참조) 제거단계 및 반도체 기판(100) 전면의 세정 단계에서는 소자분리막(110)을 구성하는 물질도 일부 제거되기 때문에, 소자분리막(110) 상면의 리세스 정도 및 그로브(G)의 그로빙 정도가 셀 영역(C)에서 더욱 심화된다. 이러한 경우, 도 1d에 도시된 바와 같이 후속의 게이트 전극(130) 형성단계를 진행하게 되면 그로브(G) 내에 게이트 전극물질(135; 예컨대, 도핑된 폴리실리콘)이 잔류할 수 있게 된다. 이에 따라, 전기적으로 분리되어야 할 인접 게이트 전극(130)이 그로브(G) 내에 잔류하는 게이트 전극 물질(135)에 의해 단락(B)되는 문제가 발생하게 된다. 또한, 소자분리막(110)과 제1활성영역(105a) 사이에 정도가 심한 그로브(G)가 유발될 경우에는 도 1e에 도시된 바와 같이 게이트 전극(130)이 형성될 때, 그로브(G) 내에도 게이트 전극 물질이 채워지게 된다. 여기에서, 그로빙의 정도가 심하다고 함은 그로브(G)의 움푹 파인 골의 깊이가 한계 이상일 경우를 의미한다. 이에 따라, 게이트 전극(130)의 특정 부위가 제1활성영역(105a)과 접촉계면(I 부분 참조)을 형성하게 됨으로써, 트랜지스터의 동작을 위한 전압 인가시 상기 접촉계면에서 전장이 생겨 항복전압(threshold voltage)의 감소, 부항복 누설전류(subthreshold leakage)의 증가, 펀칭(punching) 마진의 감소 등과 같은 반도체 소자의 특성값 열화가 초래된다.

특히, 이러한 반도체 소자의 특성값 열화는 트랜지스터의 폭이 작아질 경우 더욱 심화된다. 이는 트랜지스터의 폭이 감소할수록 항복전압이 낮아지기 때문이다. 심지어는 상기 접촉계면(I 부분 참조)에서 채널이 먼저 형성되어 턴온(turn on)된 후 실제 활성영역의 중앙에 채널이 형성되어 턴온되는 험프(hump) 현상이 유발된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 게이트 산화막의 형성시 그 두께를 기판 영역에 따라 달리 하더라도 게이트 산화막의 품질저하를 방지할 수 있고, 셀 영역에서 그로브가 심화되는 것을 방지하여 반도체 소자의 특성값 열화를 완화할 수 있는 듀얼 게이트 산화막 형성방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 듀얼 게이트 산화막 형성방법은, 반도체 기판에 소자분리막을 형성하여 제1 및 제2활성영역을 정의하는 단계, 상기 제1 및 제2활성영역 상에 제1게이트 산화막을 형성하는 단계, 상기 제1게이트 산화막이 형성되어 있는 반도체 기판 전면에 제1게이트 도전막을 형성하는 단계, 상기 제1게이트 도전막 상에 질화막으로 된 CMP 정지막을 형성하는 단계, 상기 제2활성영역 상의 제1게이트 산화막, 그 위에 형성된 제1게이트 도전막 및 CMP 정지막을 제거하여 상기 제2활성영역을 노출시키는 개구를 형성하는 단계, 상기 노출된 제2활성영역 상에 상기 제1게이트 산화막과는 다른 두께로 제2게이트 산화막을 형성하는 단계, 상기 반도체 기판의 전면에 제2게이트 도전막을 형성하여 상기 개구의 내부를 매립하는 단계, 및 상기 CMP 정지막의 상면이 노출될 때까지 화학 기계적 연마 방법으로 상기 제2게이트 도전막을 제거하는 단계를 포함한다.

상기 CMP 정지막은 실리콘 질화막인 것이 바람직하다.

상기 CMP 정지막은 50nm 이상의 두께로 형성하는 것이 바람직하다.

이하에서는 첨부한 도면을 참조하여 본 발명에 따른 듀얼 게이트 산화막 형성방법의 바람직한 실시예를 상세하게 설명한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것으로 해석되어져서는 아니 된다. 이하의 도면을 참조한 설명은 관련한 산업기술분야에서 평균적 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 도면 상에서 동일한 부호는 동일한 요소를

지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 상부에 있다라고 기재한 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제 3의 층이 개재되어질 수 있다. 한편, 이하에서 설명되는 본 발명의 바람직한 실시예에서는 셀 영역보다 주변영역에서 게이트 산화막을 두껍게 형성한다. 또한, 설명의 편의를 위해 셀 영역 및 주변영역에 있어 게이트 산화막이 형성되는 영역을 각각 제1활성영역과 제2활성영역이라 칭하기로 한다.

본 발명의 바람직한 실시예에 따른 듀얼 게이트 산화막 형성방법은 도 2에 도시된 바와 같이, 먼저 반도체 기판(200)의 셀 영역(C)과 주변영역(P)에 트렌치(T)를 형성한 후 그 내부를 산화막으로 매립하여 소자분리막(205)을 형성한다. 상기 소자분리막(205)이 형성되면, 제1활성영역(210a) 및 제2활성영역(210b)이 정의된다. 그런 다음, 열산화 방법을 사용하여 상기 소자분리막(205)에 의하여 정의된 제1 및 제2활성영역(210a 및 210b) 상에 제1게이트 산화막(215)을 형성한다. 상기 제1게이트 산화막(215)은 열산화 방법 이외의 방법 예컨대, 화학기상 증착방법을 사용하여 형성할 수도 있다.

이어서, 반도체 기판(200) 상에 제 1 게이트 도전막(220)과 CMP 정지막(225)을 형성한다. 이 때, 제 1 게이트 도전막(220)은 폴리실리콘막으로 형성한다. 도면으로 구체적으로 도시하지는 않았지만, 경우에 따라 상기 제 1 게이트 도전막(220)은 폴리실리콘막 및 고용점 금속의 금속 실리사이드막을 포함하는 다중막 구조로 형성할 수도 있다. 여기에서, 상기 금속 실리사이드막은 오믹막으로 사용된다.

상기 CMP 정지막(225)은 후속으로 수행되는 화학 기계적 연마방법을 이용한 반도체 기판 전면의 광역 평탄화 공정에서 평탄화 정지막으로 사용되는 물질막일 뿐만 아니라, 후속하는 제2게이트 산화막(도 3의 235 참조)형성단계에서 제 1 게이트 도전막(220) 상면의 산화를 방지한다.

상기 CMP 정지막(225)은 피평탄 물질막(화학 기계적 연마방법을 이용한 반도체 기판 전면의 광역 평탄화 공정에서 제거의 대상이 되는 물질막을 칭함)과 높은 식각 선택비를 보이는 물질막으로 형성하는 것이 바람직하다. 따라서, 피평탄 물질막이 폴리실리콘막인 경우, CMP 정지막(225)은 질화막 계열의 물질막, 예컨대 실리콘 질화막으로 형성한다. 한편, CMP 정지막(225)은 너무 얇을 경우 후속하는 화학기계적 연마 공정에서 하부막에 표면 거칠기를 유발할 수 있고 CMP 정지막으로서의 기능을 제대로 수행할 수 없다. 따라서, CMP 정지막(225)은 50nm 이상의 두께로 형성하는 것이 바람직하다.

도 3을 참조하면, 사진식각 공정으로 상기 제2활성영역(210b)을 노출시키는 개구(230)를 형성한다. 구체적으로, 상기 개구(230)를 형성하기 위해, 먼저 CMP 정지막(225) 상에 식각 마스크 패턴(미도시)을 형성하여 상기 제2활성영역(210b) 상부에 형성된 CMP 정지막(225)을 노출시킨다. 상기 식각 마스크 패턴은 감광막으로 형성한다. 그런 다음, 상기 식각 마스크 패턴에 의해 노출된 CMP 정지막(225), 그 하부의 제 1 게이트 도전막(220) 및 제1게이트 산화막(215)을 건식 식각공정으로 제거한다. 상기 건식 식각공정으로 개구(230)를 형성한 이후에는 식각 마스크 패턴을 소정의 방법으로 제거한다. 예를 들어, 식각 마스크 패턴이 감광막으로 이루어진 경우에는 산소 플라즈마로 식각 마스크 패턴을 제거한다.

계속해서, 개구(230) 저부에 노출된 제2활성영역(210b)을 세정하고 그 위에 상기 제1게이트 산화막(215)보다는 두꺼운 두께로 제2게이트 산화막(235)을 형성한다. 이 때, 제2게이트 산화막(235)은 열산화 방법으로 형성하는 것이 바람직하다. 하지만, 열산화 방법 이외의 방법, 예컨대 화학기상 증착방법을 사용하여 제2게이트 산화막(235)을 형성할 수도 있다. 한편, 제2게이트 산화막(235)을 형성하는 과정에서 개구(230)의 측벽에 노출된 제1게이트 도전막(220)도 산화되므로, 개구(230)의 측벽에는 실리콘 산화막(237)이 형성된다.

제2활성영역(210b) 상에 형성되는 제2게이트 산화막(235)은 종래기술과 같이 딩 기르기 방식에 의하여 형성되지 않는다. 다시 말해, 제2게이트 산화막(235)은 제2활성영역(210b) 상에 형성되어 있던 제1게이트 산화막(215)을 완전히 제거한 후 새롭게 형성된다. 또한, 식각 마스크 패턴을 제거할 때 제2게이트 산화막(235)은 형성되어 있지도 않을 뿐만 아니라, 제2게이트 산화막(235)을 형성하기 전에는 반도체 기판, 특히 개구(230) 내부를 완전히 세정한다. 따라서, 개구(230) 형성을 위해 사용된 식각 마스크 패턴의 제거시 유발되는 유기물에 의해 제2게이트 산화막(235)이 오염되는 것을 원천적으로 방지할 수 있다.

상기 제1게이트 산화막(215)은 형성적 후 바로 제1게이트 도전막(220)으로 덮히게 된다. 따라서, 제2게이트 산화막(235)을 형성하기 전에 식각 마스크 패턴 제거단계 및 세정 단계를 수행하더라도, 제1활성영역(210a)에 형성되어 있는 제1게이트 산화막(215)과 그 주위의 소자분리막(215)이 식각되어 제거되는 것을 방지할 수 있다. 이에 따라, 제1활성영역(210a) 주위의 소자분리막(205) 상면이 아래 쪽으로 후퇴됨으로써 리세스되는 것이 방지된다. 또한, 설사 제1활성영역(210a)과 그 주위의 소자분리막(205) 사이에 그로브(미도시)가 유발되어 있다 하더라도 더 이상 그로브의 움푹 파인 정도가 심해지지 않는다.

한편, 상기 CMP 정지막(225)은 후속하는 반도체 기판(200) 전면의 광역 평탄화 공정에서 평탄화 정지막으로 사용된다는 것은 이미 설명한 바 있다. 그런데, 상기 CMP 정지막(225)은 제2게이트 산화막(235) 형성단계에서 부가적으로 제1게이트 도전막(220) 상면의 산화를 방지하는 역할을 수행한다. 즉, 제1게이트 도전막(220) 상에 상기 CMP 정지막(225)이 형성되어 있지 않을 경우, 열산화 방법으로 제2게이트 산화막(235)을 형성하게 되면 제1게이트 도전막(220) 상면에 실리콘 산화막이 형성된다. 따라서, 후속 공정단계를 진행하기 전에 실리콘 산화막 제거단계를 추가로 진행해야 하는 공정 상의 번거로움이 있다. 더구나, 상기 실리콘 산화막 제거를 위해 식각 공정을 수행할 경우 제2활성영역(210b) 상에 형성되어 있는 제2게이트 산화막(235)까지 제거되는 문제가 있다. 하지만, 본 실시예에서와 같이 제1게이트 도전막(220) 상에 CMP 정지막(225)을 형성하게 되면 제1게이트 도전막(220) 상면의 산화를 막을 수 있어 상기와 같은 문제를 예방할 수 있다.

이어서, 반도체 기판(200) 전면의 제2게이트 도전막(240)을 형성하여 개구(230)를 매립한다. 이 때, 상기 제2게이트 도전막(240)은 폴리실리콘막으로 형성한다. 물론, 상기 제2게이트 도전막(240)은 상기 제1게이트 도전막(220)에서와 같이 폴리실리콘막과 고용점 금속의 금속 실리사이드막(옴막)을 포함하는 다중막 구조로 형성할 수도 있다.

도 4를 참조하면, 화학 기계적 연마방법을 사용하여 반도체 기판(200) 전면의 제2게이트 도전막(240)을 CMP 정지막(225)이 노출될 때까지 평탄화한다. 바람직하게는 제2게이트 도전막(240)의 상부표면이 CMP 정지막(225)의 저면과 실질적으로 동일한 레벨이 될 때까지 평탄화한다. 통상, 상기 화학 기계적 연마방법에서는 CMP 정지막(225)에 대해 식각 선택비가 있는 물질을 슬러리(예컨대, 이 부분을 기입해 주세요)로 사용한다. 따라서, 제2게이트 도전막(240)의 연마속도가 CMP 정지막(225)의 연마속도보다 빠르다. 화학 기계적 연마방법의 공정 레시피를 적절하게 조절하면 평탄화된 제2게이트 도전막(240)의 상부표면을 CMP 정지막(225)의 저면과 실질적으로 동일한 레벨로 맞추어 줄 수 있다.

도 5를 참조하면, 화학 기계적 연마방법을 사용한 반도체 기판(200) 전면의 광역 평탄화 단계에서 평탄화 정지막으로 기능한 CMP 정지막(225)을 제거한다. 그런 다음, 사진 식각공정으로 제1 및 제2게이트 전극용 도전막(220 및 240)을 패턴링하여 제1 및 제2게이트 전극 패턴(220' 및 240')을 형성한다.

본 발명의 실시예에 따르면 제1활성영역(210a)과 소자분리막(205) 사이에 그로브가 발생하는 것이 완화되며, 설사 유발된다 하더라도 제1게이트 도전막(220) 형성단계 이후부터는 그 정도가 종래의 경우처럼 심해지지 않는다. 이에 따라, 상기 제1 및 제2게이트 전극 패턴(220' 및 240')의 형성시 소자분리막(205) 주위에 게이트 전극 물질이 잔류하지 않게 된다(도 1d 참조).

한편, 상술한 바와 같이 평탄화된 제2게이트 도전막(240)의 상면이 CMP 정지막(225)의 저면과 실질적으로 동일한 레벨일 경우에는 CMP 정지막(225)이 제거된 반도체 기판(200) 전면의 평탄도가 향상되어 제1 및 제2게이트 전극 패턴(220' 및 240') 형성을 위한 사진 공정에서 초점심도 마진이 증가한다.

상기에서는 도면을 참고하여 본 발명에 대한 바람직한 실시예를 상세하게 설명하였다. 그러나, 본 발명은 이에 한정되는 것은 아니고, 본 발명의 기술적 사상의 범위 안에서 당 분야에서 통상의 지식으로 그 변형이나 개량이 가능하다. 즉, 제1활성영역(210a)에서보다 제2활성영역(210b)에서 게이트 산화막을 먼저 형성할 수 있다. 또한, 상기 제2활성영역(210b)보다는 제1활성영역(210a)에서 게이트 산화막을 두껍게 형성할 수도 있다.

발명의 효과

본 발명에 따른 듀얼 게이트 산화막 형성방법은 종래처럼 덧 기르기 방식을 채택하지 않으므로 듀얼 게이트 산화막을 고품질로 형성할 수 있다. 또한, 게이트 산화막과 소자분리막 사이의 그로브 유발(특히, 셀 영역)로 야기되는 종래기술의 문제점, 예컨대 항복전압의 감소, 부항복 누설전류의 증가, 편칭 마진 감소 등의 문제가 해결된다. 그리고, 기 형성된 게이트 산화막을 덮는 게이트 도전막(폴리실리콘막)상에는 질화막 계열의 CMP 정지막이 형성되기 때문에 후속하는 다른 게이트 산화막 형성단계에서 게이트 도전막 상에 산화막이 형성되는 것을 방지할 수 있다. 아울러, 상기 CMP 정지막을 사용하여 반도체 기판 전면을 광역 평탄화하므로, 게이트 전극의 패터닝을 위한 사진 공정에서 초점심도 마진을 증가시킬 수 있게 된다.

(57) 청구의 범위

청구항 1.

- (a) 반도체 기판에 소자분리막을 형성하여 제1 및 제2활성영역을 정의하는 단계;
- (b) 상기 제1 및 제2활성영역 상에 제1게이트 산화막을 형성하는 단계;
- (c) 상기 제1게이트 산화막이 형성되어 있는 반도체 기판 전면에서 제1게이트 도전막을 형성하는 단계;
- (d) 상기 제1게이트 도전막 상에 질화막으로 된 CMP 정지막을 형성하는 단계;
- (d) 상기 제2활성영역 상의 제1게이트 산화막, 그 위의 제1게이트 도전막 및 CMP 정지막을 제거하여 상기 제2활성영역을 노출시키는 개구를 형성하는 단계;
- (e) 상기 노출된 제2활성영역 상에 상기 제1게이트 산화막과는 다른 두께로 제2게이트 산화막을 형성하는 단계;
- (f) 상기 반도체 기판의 전면에서 제2게이트 도전막을 형성하여 상기 개구의 내부를 매립하는 단계; 및
- (g) 상기 CMP 정지막의 상면이 노출될 때까지 화학 기계적 연마 방법으로 상기 제2게이트 도전막을 제거하는 단계를 포함하는 것을 특징으로 하는 듀얼 게이트 산화막 형성방법.

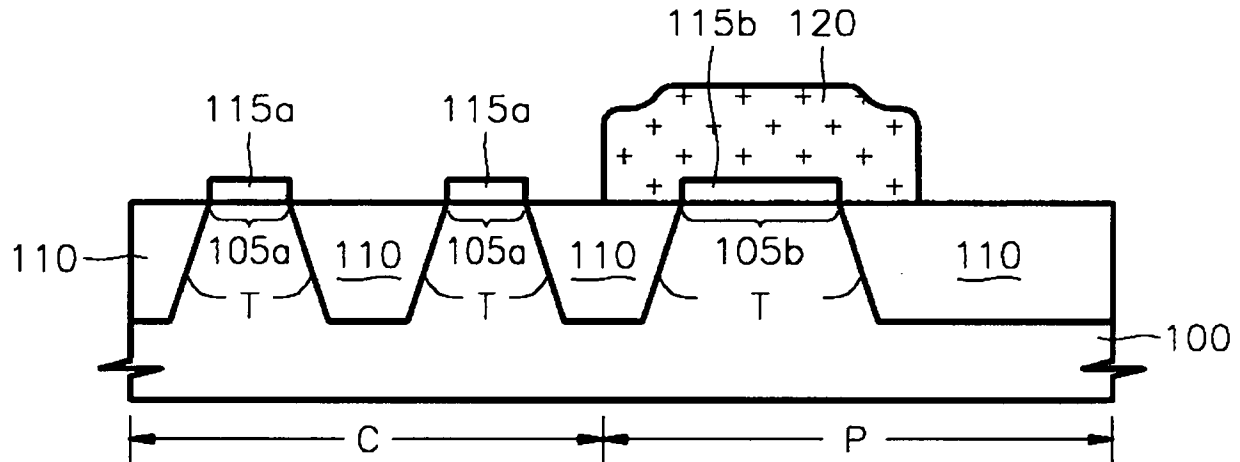
청구항 2.

제1항에 있어서, 상기 CMP 정지막은 실리콘 질화막인 것을 특징으로 하는 듀얼 게이트 산화막 형성방법.

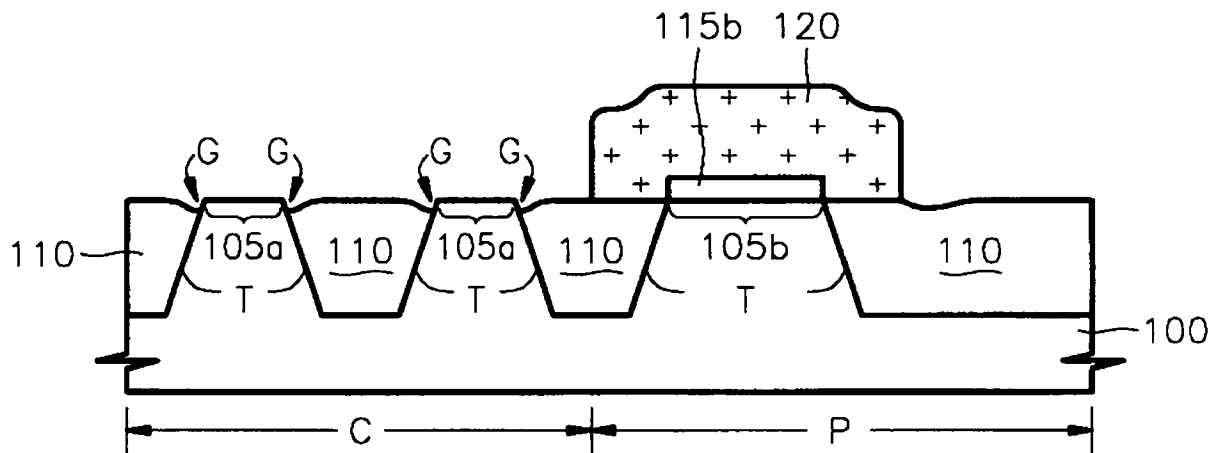
청구항 3.

제1항에 있어서, 상기 CMP 정지막은 50nm 이상의 두께로 형성하는 것을 특징으로 하는 듀얼 게이트 산화막 형성방법.

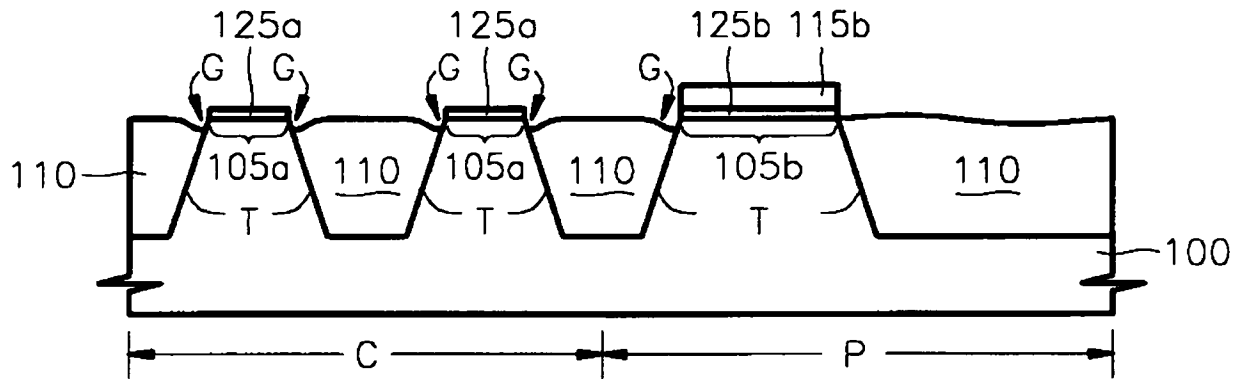
59 1a



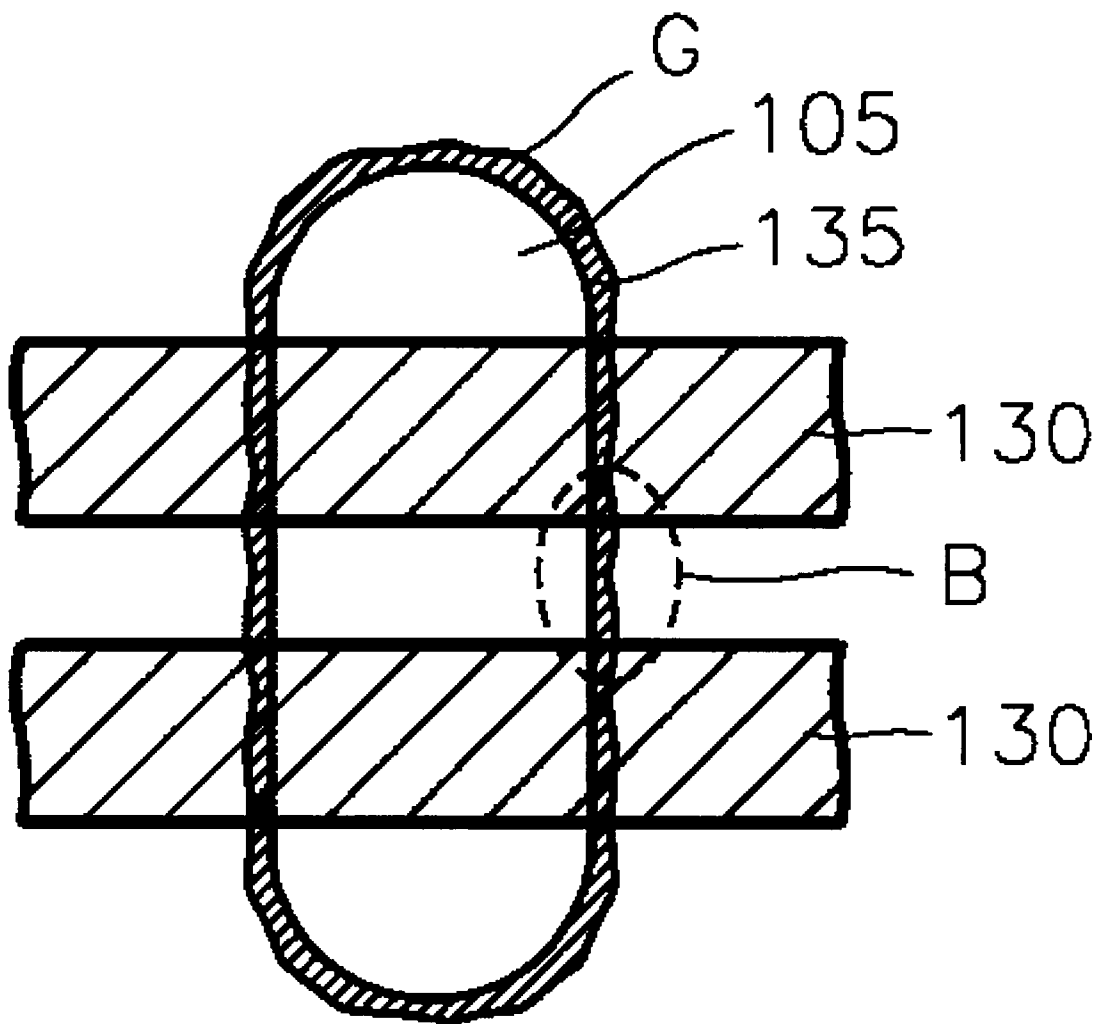
29 16



도면 1c



도면 1d



도면 5

